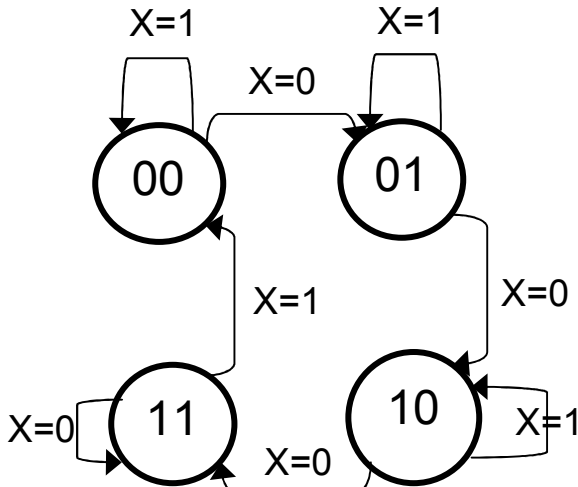


- Q1. La figure suivante montre le diagramme d'état d'un circuit logique qui a une unique entrée externe d'un bit x.
- Commencer par la dérivation de la table d'état du circuit. Ensuite, en supposant que les bascules de type JK sont à utiliser dans la réalisation, étendre la table d'état avec la table d'excitation du circuit.
  - Trouvez les expressions simplifiées pour chaque entrée de bascule.



	$A^n$	$B^n$	$X$	$A^{n+1}$	$B^{n+1}$	$J_A$	$K_A$	$J_B$	$K_B$
(0)	0	0	0	0	1	0	x	1	x
(1)	0	0	1	0	0	0	x	0	x
(2)	0	1	0	1	0	1	x	x	1
(3)	0	1	1	0	1	0	x	x	0
(4)	1	0	0	1	1	x	0	1	x
(5)	1	0	1	1	0	x	0	0	x
(6)	1	1	0	1	1	x	0	x	0
(7)	1	1	1	0	0	x	1	x	1

**SOLUTION:**

Rappel:

A) Copier et coller

... ou B) Par la table d'excitation de la bascule JK:

- [1]  $J$  = état prochain si état present est 0
- [2]  $J$  = don't care (x) si état present est 1
- [3]  $K$  = don't care (x) si état present est 0
- [4]  $K$  = complément de l'état prochain si état present est 1

	if $Q^n = 0$	if $Q^n = 1$
$J =$	[1] $Q^{n+1}$	[2] x
$K =$	[3] x	[4] $(Q^{n+1})'$

$J_A$

BX	00	01	11	10
A				
0	0	1	3	2
	0	0	0	1
1	4	5	7	6
	x	x	x	x

$J_A = BX'$

$K_A$

BX	00	01	11	10
A				
0	0	1	3	2
	x	x	x	x
1	4	5	7	6
	0	0	1	0

$K_A = BX$

$J_B$

BX	00	01	11	10
A				
0	0	1	3	2
	1	0	x	x
1	4	5	7	6
	1	0	x	x

$J_B = X'$

$K_B$

BX	00	01	11	10
A				
0	0	1	3	2
	x	x	0	1
1	4	5	7	6
	x	x	1	0

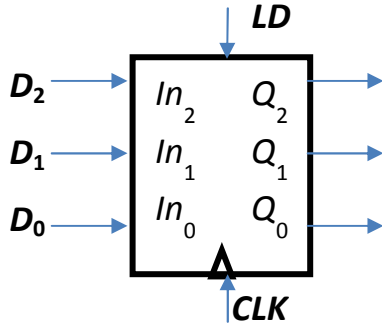
$K_B = AX + A'X'$

Q2. Concevez un registre a 3-bit ( $D_2, D_1$  et  $D_0$ ) avec chargement parallèle, et un signal de contrôle "LD" (load data), en utilisant des bascules de type T, comme décrit dans la table fonctionnelle suivante. Dessinez le schéma logique du circuit que vous avez conçu, expliquer votre travail.

(P2.1.) Provisionnez les équations de variable de prochain états des bascules de type T  $\{Q_i^{n+1}, i = [0, 1, 2]\}$ , soit en remplissant la colonne  $Q_i^{n+1}$  de Table 2, ou en directement écrivant son expression logique  $Q_i^{n+1} = \delta(LD, Q_i^n, D_i^n)$

(P2.2.) Trouvez les équations d'excitation  $\{T_i = f(LD, Q_i, D_i), i = [0, 1, 2]\}$  pour toutes les bascules

(P2.3.) Dessinez le diagramme logique pour ce circuit; expliquez votre travail.



LD	$Q_i^{n+1}$ (prochain état)
0	$D_i^n$ (donnée)
1	$Q_i^n$ (présent état)

$i = \{0, 1, 2\}$

Table 2.

LD	$Q_i^n$	$DB_i^n$	$Q_i^{n+1}$ P2.1	$T_i$ P2.2
0	0	0	0	0
0	0	1	1	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	0
1	0	1	0	0
1	1	0	1	0
1	1	1	1	0

For (P2.2) Utilisez la table d'excitation de la bascule T:

$Q^n$	$Q^{n+1}$	$T^n$
0	0	0
0	1	1
1	0	1
1	1	0

... ou l'équation excitation:

$$T = \overline{Q^n} \cdot Q^{n+1} + Q^n \cdot \overline{Q^{n+1}}$$

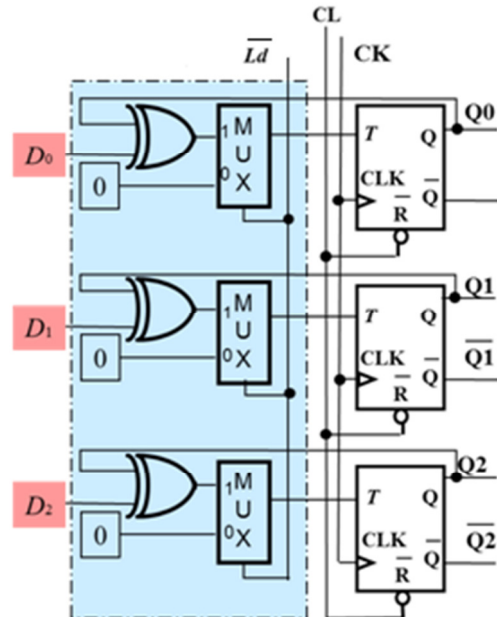
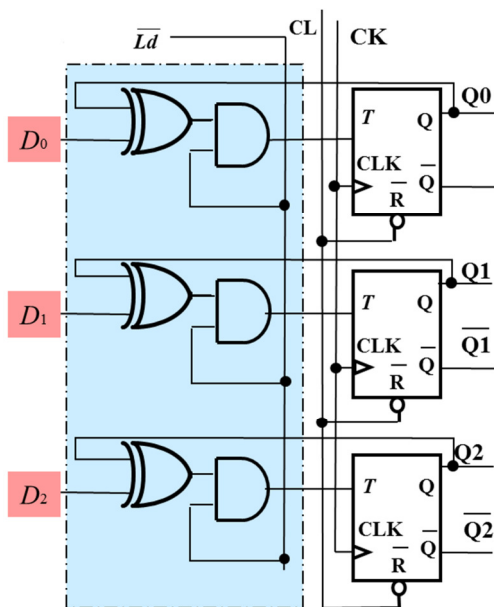
$$T = Q^n \oplus Q^{n+1}$$

Alors, à partir du Table 2:

$$T_i = \overline{LD} \cdot \overline{Q_i} \cdot \overline{DB_i} + \overline{LD} \cdot Q_i \cdot \overline{DB_i}$$

$$T_i = \overline{LD} \cdot (Q_i \oplus DB_i), i = \{0, 1, 2\}$$

Le circuit peut être construit avec des portes logiques seulement ou en utilisant un multiplexeur avec 2 entrées contrôlé par LD.



OU